

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-149133

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

G09G 3/36

G02F 1/133

G09G 3/20

(21)Application number : 2000-345404

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 13.11.2000

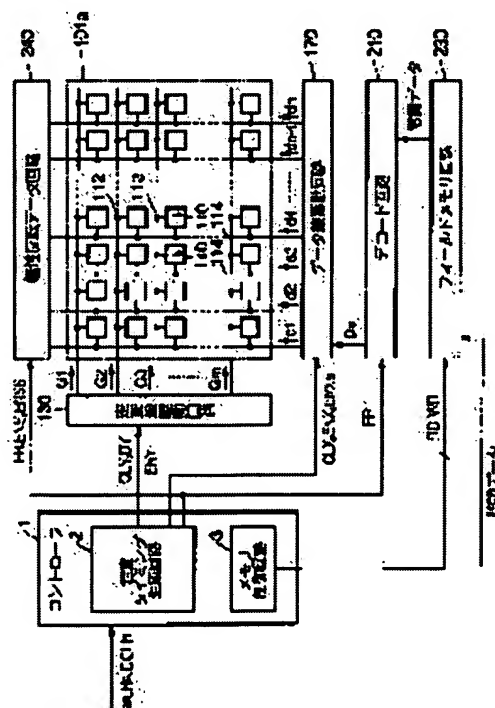
(72)Inventor : IIZAKA HIDETO

(54) CIRCUIT AND METHOD FOR DRIVING OPTOELECTRONIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an optoelectronic device permitting high contrast and high quality gradation display even at a low voltage and a driving method therefor, a driving circuit, and miscellaneous electronic devices using this optoelectronic device.

SOLUTION: In a display area 101a on an element substrate, a plurality of scanning lines 112 are formed extended in the direction of X (row), and a plurality of data lines 114 are formed extended in the direction of Y (column). Then, pixels 110 are arranged in a matrix form correspondingly to each crossing of the scanning lines 112 and the data lines 114. When AC-driving these pixels and altering a counter electrode voltage of each pixel as a reference, the method for driving the optoelectronic device relating to this invention is through it that the pixel electrode voltage is preset to the same as the counter electrode voltage in the field, and that when the field is changed to the next, the pixel electrode voltage is altered to the same voltage as that to which the counter electrode voltage is to be changed, synchronizing the pixel electrode voltage with the variation of the counter electrode voltage.



LEGAL STATUS

[Date of request for examination] 04.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

拒絶引用S 0/P 1622W000

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-149133

(P2002-149133A)

(43)公開日 平成14年 5月24日 (2002. 5. 24)

(51)Int.Cl. ⁷	識別記号	F I	テラード (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 B 5 C 0 8 0
	6 2 4		6 2 4 B
	6 4 1		6 4 1 E
審査請求 未請求 請求項の数11 O L (全 21 頁)			

(21)出願番号 特願2000-345404(P2000-345404)

(22)出願日 平成12年11月13日 (2000. 11. 13)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72)発明者 飯坂 英仁

長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

(74)代理人 100089037

弁理士 渡邊 隆 (外 3 名)

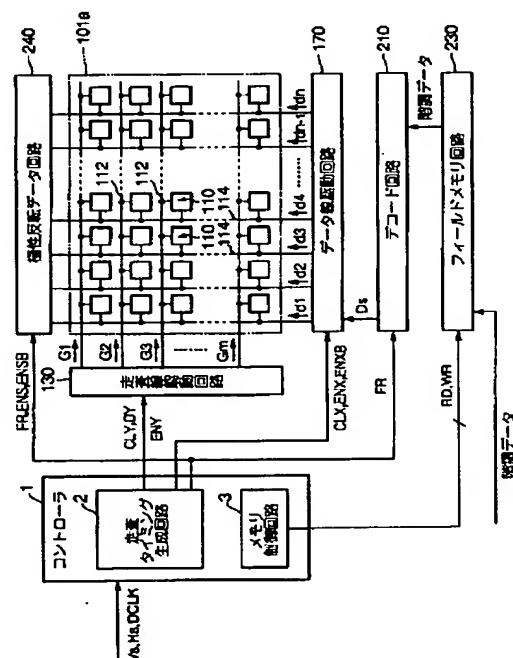
最終頁に続く

(54)【発明の名称】 電気光学装置の駆動回路及び駆動方法

(57)【要約】

【課題】 低電圧でも、高コントラスト・高品質な階調表示が可能な電気光学装置及びこの駆動方法、駆動回路、この電気光学装置を用いた電子機器を提供する。

【解決手段】 素子基板上的表示領域 101a には、複数本の走査線 112 が X (行) 方向に延在して形成され、複数本のデータ線 114 が Y (列) 方向に延在して形成されている。そして、画素 110 は、走査線 112 とデータ線 114 との各交差に対応して設けられて、マトリクス状に配列している。本発明に係る電気光学装置の駆動方法は、これらの画素を交流駆動するとき、基準となる各画素の対向電極の電圧を変更する場合、画素電極の電圧を、そのフィールドにおける対向電極と同一の電圧に設定しておき、次のフィールドに変化したとき、対向電極の電圧の変化と同期させて、画素電極の電圧を対向電極が変更される電圧と同一の電圧へ変更させている。



【特許請求の範囲】

【請求項 1】 フィールド毎に 1 画面分の各画素の階調データを受け取り、これらの階調データに従い、複数のデータ線と複数の走査線との各交差に対応して配設され、画素電極と、当該画素電極に対向し、基準電圧が印加される対向電極と、記憶部とを各々備えた複数の画素を駆動する電気光学装置の駆動回路であって、データ線から画素への電圧印加を行う走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、前記階調信号に基づき、画素をオン状態またはオフ状態とするデータ信号を順次生成し、前記走査信号が供給されている間に、当該データ信号を各画素の記憶部に書き込むべく、各データ線に供給するデータ線駆動回路と、前記対向電極の基準電圧を第 1 の電圧と第 2 の電圧とに交互に変更する極性反転回路と、対向電極の基準電圧を、第 1 の電圧及び第 2 の電圧における一方の電圧から他方の電圧に変更するとき、画素電極の電圧を前記一方の電圧に変更する第 1 の変更処理の後に、同期を取り、画素電極の電圧及び対向電極の基準電圧を一方の電圧から他方の電圧に変更させる第 2 の変更処理を行うコントローラとを具備することを特徴とする電気光学装置の駆動回路。

【請求項 2】 前記コントローラが、前記画素電極の電圧を一方の電圧への変更を、次のフィールドの開始される前に行うことを特徴とする請求項 1 に記載の電気光学装置の駆動回路。

【請求項 3】 前記コントローラが、前記第 1 の変更処理のとき、前記走査線駆動回路に、前記走査線の各々に対して順次に処理を行わせ、前記第 2 の変更処理を行うとき、前記走査線駆動回路に全ての走査線へ走査信号を供給させたまま、全てのデータ線へ他方の電圧をデータ線駆動回路から出力させることを特徴とする請求項 1 または請求項 2 に記載の電気光学装置の駆動回路。

【請求項 4】 前記走査線駆動回路が、1 フィールドを分割した複数のサブフィールドの各々において、データ線から画素への電圧の印加を可能にする走査信号を、前記走査線の各々に順次供給し、前記データ線駆動回路が、画素をオンまたはオフする電圧の印加を指示するデータ信号を前記階調データに応じて順次生成し、当該データ信号を各画素の記憶部に書き込むべく、各データ線に供給することを特徴とする請求項 1 から請求項 3 のいずれかに記載の電気光学装置の駆動回路。

【請求項 5】 前記走査線駆動回路が、1 フィールド毎に、データ線から画素への電圧の印加を可能にする走査信号を、前記走査線の各々に順次供給し、前記データ線駆動回路が、画素を前記階調データに応じた電圧のデータ信号を、当該階調データに応じて順次生成し、当該データ信号を各画素の記憶部に書き込むべく、各データ線に供給することを特徴とする請求項 1 から請求項 3 のい

ずれかに記載の電気光学装置の駆動回路。

【請求項 6】 フィールド毎に 1 画面分の各画素の階調データを受け取り、これらの階調データに従い、複数のデータ線と複数の走査線との各交差に対応して配設され、画素電極と、当該画素電極に対向し、基準電圧が印加される対向電極と、記憶部とを各々備えた複数の画素を駆動する電気光学装置の駆動方法であって、データ線駆動回路が、前記階調信号に基づき、画素をオン状態またはオフ状態とするデータ信号を順次生成し、当該データ信号を各画素の記憶部に書き込むべく、各データ線に供給する過程と、走査線駆動回路が、前記データ信号がデータ線に供給される毎に、当該データ線から画素への電圧印加を行う走査信号を、前記走査線の各々に順次供給する過程と、対向電極電圧制御回路が、前記対向電極の基準電圧を第 1 の電圧と第 2 の電圧とに交互に変更する過程と、コントローラが、対向電極の基準電圧を、第 1 の電圧及び第 2 の電圧における一方の電圧から他方の電圧に変更するとき、画素電極の電圧を前記一方の電圧に変更する第 1 の変更処理の後に、同期を取り、画素電極の電圧及び対向電極の基準電圧を一方の電圧から他方の電圧に変更させる第 2 の変更処理を行う過程とを有することを特徴とする電気光学装置の駆動方法。

【請求項 7】 前記コントローラが、前記画素電極の電圧を一方の電圧への変更を、次のフィールドの開始される前に行うことを特徴とする請求項 6 に記載の電気光学装置の駆動方法。

【請求項 8】 前記コントローラが、前記第 1 の処理のとき、前記走査線駆動回路に、前記走査線の各々に対して順次に処理を行わせ、前記第 2 の変更処理をおこなうとき、前記走査線駆動回路に全て走査線へ走査信号を供給させたまま、全てのデータ線へ他方の電圧をデータ線駆動回路から出力させることを特徴とする請求項 6 または請求項 7 に記載の電気光学装置の駆動方法。

【請求項 9】 フィールド毎に 1 画面分の各画素の階調データを受け取り、これらの階調データに従い、複数のデータ線と複数の走査線との各交差に対応して配設され、画素電極と、当該画素電極に対向し、基準電圧が印加される対向電極と、記憶部とを各々備えた複数の画素を有する電気光学装置であって、データ線から画素への電圧印加を行う走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、前記階調信号に基づき、画素をオン状態またはオフ状態とするデータ信号を順次生成し、前記走査信号が供給されている間に、当該データ信号を各画素の記憶部に書き込むべく、各データ線に供給するデータ線駆動回路と、前記対向電極の基準電圧を第 1 の電圧と第 2 の電圧とに交互に変更する対向電極電圧制御回路と、対向電極の基準電圧を、第 1 の電圧及び第 2 の電圧における一方の電圧から他方の電圧に変更するとき、画素電

極の電圧を前記一方の電圧に変更する第1の変更処理の後に、同期を取り、画素電極の電圧及び対向電極の基準電圧を一方の電圧から他方の電圧に変更させる第2の変更処理を行うコントローラとを具備することを特徴とする電気光学装置。

【請求項10】 フィールド毎に1画面分の各画素の階調データを受け取り、これらの階調データに従い、複数のデータ線と複数の走査線との各交差に対応して配設され、画素電極と、当該画素電極に対向し、基準電圧が印加される対向電極と、当該画素電極及び当該対向電極の間に挟持された電気光学材料と、記憶部とを各々備えた複数の画素を有する電気光学装置であって、

1フィールドを分割した複数のサブフィールドの各々において、データ線から画素への電圧印加を行う走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、

前記複数のサブフィールドの各々において、前記階調信号に基づき、画素をオン状態またはオフ状態とする電圧の印加を指示するデータ信号を順次生成し、前記走査信号が供給されている間、当該データ信号を各画素の記憶部に書き込むべく、各データ線に供給するデータ線駆動回路と、

前記対向電極の基準電圧を第1の電圧と第2の電圧とに交互に変更する対向電極電圧制御回路と、

対向電極の基準電圧を、第1の電圧及び第2の電圧における一方の電圧から他方の電圧に変更するとき、画素電極の電圧を前記一方の電圧に変更する第1の変更処理の後に、同期を取り、画素電極の電圧及び対向電極の基準電圧を一方の電圧から他方の電圧に変更させる第2の変更処理を行うコントローラとを具備することを特徴とする電気光学装置。

【請求項11】 請求項1から請求項5、請求項9及び請求項10の請求項に記載の電気光学装置を表示装置として備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画素のオン/オフの時間軸上の変調、または画素に印加する電圧により階調表示制御を行う電気光学装置の駆動回路、駆動方法および電気光学装置ならびに電子機器に関する。

【0002】

【従来の技術】電気光学装置、例えば、電気光学材料として液晶を用いた液晶表示装置は、陰極線管（CRT）に変わるディスプレイデバイスとして、各種情報処理機器の表示部や液晶テレビなどに広く用いられている。

【0003】ここで、従来の電気光学装置は、例えば、次のように構成されている。すなわち、従来の電気光学装置は、マトリクス状に配列した画素電極と、この画素電極に接続されたTFT（Thin Film Transistor: 薄膜トランジスタ）のようなスイッチング素子などが設けら

れた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板の間に充填された電気光学材料たる液晶とから構成される。そして、このような構成において、走査線を介してスイッチング素子に走査信号を印加すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して画素電極に、階調に応じた電圧の画像信号を印加すると、当該画素電極および対向電極の間の液晶層に画像信号の電圧に応じた電荷が蓄積される。電荷蓄積後、当該スイッチング素子をオフ状態としても、当該液晶層における電荷の蓄積は、液晶層自身の容量性や蓄積容量などによって維持される。このように、各スイッチング素子を駆動させ、蓄積させる電荷量を階調に応じて制御すると、画素毎に液晶の配向状態が変化するので、画素毎に濃度が変化することとなる。このため、階調表示することが可能となるのである。

【0004】上記の方法以外の階調表示方式として、蓄積させる電荷量を一定にし、階調に応じて電荷が蓄積されている時間を制御する方法もある。この方法において、液晶に印加される電圧の大きさを信号電圧と同じ大きさに設定しておけば、画素の駆動を周辺回路と同じデジタル信号のみによって行えるという利点がある。

【0005】

【発明が解決しようとする課題】しかしながら、液晶表示装置においては、階調を表現する電圧が常に同一方向、極性であると液晶のオン/オフ特性が劣化してしまう欠点がある。このため、一般的に、液晶表示装置は、液晶の寿命を延ばす目的で、液晶に印加される電界の向きを変更するための交流駆動が必須要素となっている。画素における画素電極に対して、画素をオン/オフする電圧の印加の制御を行うスイッチング素子にTFTを用いた液晶表示装置の場合、画素に対する交流駆動を実現するためには、以下に示す方法がある。

【0006】まず、従来例として、図18に示す様に、駆動電圧 V_{DD} と接地電圧 V_{SS} との間、例えば、これらの電圧の中間の値を対向電極の基準電位 V_{com} とし、フィールド毎に交互に、上記基準電位に対して正方向または負方向へ電圧を上記画素電極側へ印加する交流駆動がある。しかしながら、必要なコントラストを得るためには、ある程度の大きさの画素電極及び対向電極との間の電圧差が必要である（正方向の電圧差 V_{PW} 、負方向の電圧差 V_{NW} ）。このため、上記構成でコントラストを得るためには、駆動電圧を大きくする必要があるが、スイッチング素子を高耐圧にし、走査線及びデータ線の駆動回路を高耐圧用に変更するため、駆動素子が大型化する。また、携帯機器の表示装置として使用する場合、ロジック回路の電源電圧と、液晶表示装置の駆動電圧との2電源を持つことが小型化された携帯機器においては不利であり、ロジック回路の電源電圧を液晶表示装置の駆動電圧として利用することが求められている。したがって、

上述した駆動電圧と接地電圧との中間値を対向電極に印加する基準電位とした交流駆動は、今後の液晶表示装置の利用形態にはそぐわない。

【0007】上記欠点を改善する画素の交流駆動の方法として、図19に示す様に、対向電極に印加する共通電位を、例えば、1フィールド毎に、図19(a)及び図19(b)に示す電圧へ変更することが考えられる。すなわち、基準電位が接地電圧の場合、駆動電圧方向に対して接地電圧から駆動電圧までの電圧 V_{PW} の印加が可能となり、かつ、基準電位が駆動電圧の場合、接地電圧方向に対して駆動電圧から接地電圧までの電圧 V_{NW} の印加が可能となり、液晶表示装置に供給する電圧があまり高くなっても、十分なコントラストが取れ、また、電圧による階調制御においては階調度を高く設定することが可能となる。また、上記交流駆動方法においては、ロジック回路の電源電圧を駆動電圧として用いることができ、高耐圧用の回路を必要としないため、回路構成が単純となる。

【0008】しかしながら、上述した画素の交流駆動の方法においては、対向電極の電圧を変更するときに、画素電極と対向電極との間の液晶の容量成分を通り電流がながれ、この余分な電流が全ての画素において発生するため、電気光学装置の駆動における消費電力が大幅に増加してしまう。このため、上述した画素の交流駆動の方法においては、対向電極の基準電圧を変更するために、電極に大量の電流を供給するための能力を持つドライバを設ける必要があり、そのドライバ面積のために、光学表示装置が大型化してしまう問題がある。また、電圧の変更過程において、表示内容が不定となり、表示品質が著しく損なわれる結果となる。このような理由から、上述した画素の交流駆動の方法においては、消費電力が増加し、かつ光学表示装置のサイズが大型化してしまうため、携帯情報機器の光学表示装置として用いることが困難である。

【0009】本発明は、上述した事情に鑑みてなされたものであり、その目的とするところは、低電圧駆動においても、高コントラスト・高品質な階調表示が可能な電気光学装置、その駆動方法、その駆動回路、さらには、この電気光学装置を用いた電子雑器を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、第1の発明は、フィールド毎に1画面分の各画素の階調データを受け取り、これらの階調データに従い、複数のデータ線と複数の走査線との各交差に対応して配設され、画素電極と、当該画素電極に対向し、基準電圧が印加される対向電極と、記憶部とを各々備えた複数の画素を駆動する電気光学装置の駆動回路であって、データ線から画素への電圧印加を行う走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、前記階調信号

に基づき、画素をオン状態またはオフ状態とするデータ信号を順次生成し、前記走査信号が供給されている間に、当該データ信号を各画素の記憶部に書き込むべく、各データ線に供給するデータ線駆動回路と、前記対向電極の基準電圧を第1の電圧と第2の電圧とに交互に変更する極性反転回路と、対向電極の基準電圧を、第1の電圧及び第2の電圧における一方の電圧から他方の電圧に変更するとき、画素電極の電圧を前記一方の電圧に変更する第1の変更処理の後に、同期を取り、画素電極の電圧及び対向電極の基準電圧を一方の電圧から他方の電圧に変更させる第2の変更処理を行うコントローラとを具備することを特徴とする電気光学装置の駆動回路を提供するものである。

【0011】この発明によれば、画素表示における交流駆動において、前記対向電極の電圧を変更する場合、当該対向電極の電圧を変更する直前に、前記画素電極の電圧を対向電極の一方の電圧と同一にした後、対向電極及び画素電極の電圧を同期させて同一の前記他方の電圧へ変更させるため、対向電極の電圧を変更する時点において、両電極間に挟まれた部分の液晶に加わっている電位差が一定になり、液晶による容量成分に対して電流が流れ込まないため、電圧変更に対する対向電極への電荷の充電のために余分な電流を流すことなく、電圧変更における消費電流を削減することができ、極性反転回路の規模を縮小を可能とし、かつ、高速に対向電極の電圧を変更することが可能となる効果が得られる。また、この発明によれば、前記対向電極に対して変更のための電圧を供給するための極性反転回路や配線などに接続された各周辺回路が、当該対向電極に流れる電流の影響を受けることにより誤動作を起こす問題に対しては、対向電極と画素電極との間にほとんど電流が流れないため、各周辺回路が誤動作を起こす現象を防止する効果がある。

【0012】第2の発明は、前記コントローラが、前記画素電極の電圧を一方の電圧への変更を、次のフィールドの開始される前に行うことを特徴とする電気光学装置の駆動回路を提供するものである。この発明によれば、画素表示における交流駆動において、前記対向電極の電圧を変更する場合、当該対向電極の電圧を変更する直前に、前記画素電極の電圧を対向電極の一方の電圧と同一にした後、対向電極及び画素電極の電圧を同期させて同一の前記他方の電圧へ変更させるため、対向電極の電圧を変更する時点において、画素電極の電圧が不定でなく、対向電極と画素電極とによる容量に対して電流が流れ込まないため、電圧変更に対する対向電極への電荷の充電のために余分な電流を流すことなく、電圧変更における消費電流を削減することができ、極性反転回路の規模を縮小を可能とし、かつ、高速に対向電極の電圧を変更することが可能となる効果が得られる。

【0013】第3の発明は、前記コントローラが、前記第1の変更処理のとき、前記走査線駆動回路に、前記走

査線の各々に対して順次に処理を行わせ、前記第2の変更に処理を行うとき、前記走査線駆動回路に全ての走査線へ走査信号を供給させたまま、全てのデータ線へ他方の電圧をデータ線駆動回路から出力させることを特徴とする電気光学装置の駆動回路を提供するものである。この発明によれば、全ての走査線へ同時に走査信号を供給させて、電気光学装置の全ての画素電極の電圧を一括してデータ線に出力される前記一方の電圧とすることができ、対向電極と画素電極との電圧を同期させて同一の前記他方の電圧へ変更させることができる。よって、階調制御に影響を与えないばかりでなく、対向電極の電圧を変更する時点において、液晶による容量成分に対して電流が流れ込まないため、電圧変更に対する対向電極への電荷の充電のための電流のみの消費で済み、余分な電流を流すことなく、電圧変更における消費電流を削減することができ、極性反転回路の規模を縮小を可能とし、かつ、高速に対向電極の電圧を変更することが可能となる効果が得られる。

【0014】第4の発明は、前記走査線駆動回路が、1フィールドを分割した複数のサブフィールドの各々において、データ線から画素への電圧の印加を可能にする走査信号を、前記走査線の各々に順次供給し、前記データ線駆動回路が、画素をオンまたはオフする電圧の印加を指示するデータ信号を前記階調データに応じて順次生成し、当該データ信号を各画素の記憶部に書き込むべく、各データ線に供給することを特徴とする電気光学装置の駆動回路を提供するものである。

【0015】この発明によれば、1フィールドにおいて、画素をオン/オフする電圧の印加時間が当該画素の階調に応じてパルス幅変調される結果、実行値制御による階調制御が行われることになる。この際、各サブフィールドにおいては、画素のオン/オフを指示するだけで済むので、画素への指示信号として、2値信号（すなわち、「H」レベルか「L」レベルかしか取り得ないデジタル信号）を用いることができる。したがって、この発明では、画素への印加信号がデジタル信号となるので、素子特性や配線抵抗など不均一性に起因する表示ムラが防止される結果、高品質かつ高精細な階調制御が可能となる。なお、本発明において、1フィールドとは、水平同期信号及び垂直走査信号に同期して、水平走査及び垂直走査することにより、1枚のラスタ画像を形成するのに要する期間という意味合いで使用している。

【0016】第5の発明は、前記走査線駆動回路が、1フィールド毎に、データ線から画素への電圧の印加を可能にする走査信号を、前記走査線の各々に順次供給し、前記データ線駆動回路が、画素を前記階調データに応じた電圧のデータ信号を、当該階調データに応じて順次生成し、当該データ信号を各画素の記憶部に書き込むべく、各データ線に供給することを特徴とする電気光学装置の駆動回路を提供するものである。この発明によれ

ば、階調を電圧値で表現しているため、階調を微妙な画素の透過率の変化で表すことができ、高精細な階調制御が可能となる。

【0017】第6の発明は、フィールド毎に1画面分の各画素の階調データを受け取り、これらの階調データに従い、複数のデータ線と複数の走査線との各交差に対応して配設され、画素電極と、当該画素電極に対向し、基準電圧が印加される対向電極と、記憶部とを各々備えた複数の画素を駆動する電気光学装置の駆動方法であって、データ線駆動回路が、前記階調信号に基づき、画素をオン状態またはオフ状態とするデータ信号を順次生成し、当該データ信号を各画素の記憶部に書き込むべく、各データ線に供給する過程と、走査線駆動回路が、前記データ信号がデータ線に供給される毎に、当該データ線から画素への電圧印加を行う走査信号を、前記走査線の各々に順次供給する過程と、対向電極電圧制御回路が、前記対向電極の基準電圧を第1の電圧と第2の電圧とに交互に変更する過程と、コントローラが、対向電極の基準電圧を、第1の電圧及び第2の電圧における一方の電圧から他方の電圧に変更するとき、画素電極の電圧を前記一方の電圧に変更する第1の変更処理の後に、同期を取り、画素電極の電圧及び対向電極の基準電圧を一方の電圧から他方の電圧に変更させる第2の変更処理を行う過程とを有することを特徴とする電気光学装置の駆動方法を提供するものである。

【0018】この第6の発明は、上記第1の発明を電気光学装置の駆動方法として具現したものであり、上記第1の効果と同様な効果を奏する。

【0019】第7の発明は、前記コントローラが、前記画素電極の電圧を一方の電圧への変更を、次のフィールドの開始される前に行うことを特徴とする電気光学装置の駆動方法を提供するものである。この第7の発明は、上記第2の発明を電気光学装置の駆動方法として具現したものであり、上記第2の効果と同様な効果を奏する。

【0020】第8の発明は、前記コントローラが、前記第1の処理のとき、前記走査線駆動回路に、前記走査線の各々に対して順次に処理を行わせ、前記第2の変更処理をおこなうとき、前記走査線駆動回路に全て走査線へ走査信号を供給させたまま、全てのデータ線へ他方の電圧をデータ線駆動回路から出力させることを特徴とする請求項6または請求項7に記載の電気光学装置の駆動方法を提供するものである。

【0021】この第8の発明は、上記第3の発明を電気光学装置の駆動方法として具現したものであり、上記第3の効果と同様な効果を奏する。

【0022】第9の発明は、フィールド毎に1画面分の各画素の階調データを受け取り、これらの階調データに従い、複数のデータ線と複数の走査線との各交差に対応して配設され、画素電極と、当該画素電極に対向し、基準電圧が印加される対向電極と、記憶部とを各々備えた

複数の画素を有する電気光学装置であって、データ線から画素への電圧印加を行う走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、前記階調信号に基づき、画素をオン状態またはオフ状態とするデータ信号を順次生成し、前記走査信号が供給されている間に、当該データ信号を各画素の記憶部に書き込むべく、各データ線に供給するデータ線駆動回路と、前記対向電極の基準電圧を第1の電圧と第2の電圧とに交互に変更する対向電極電圧制御回路と、対向電極の基準電圧を、第1の電圧及び第2の電圧における一方の電圧から他方の電圧に変更するとき、画素電極の電圧を前記一方の電圧に変更する第1の変更処理の後に、同期を取り、画素電極の電圧及び対向電極の基準電圧を一方の電圧から他方の電圧に変更させる第2の変更処理を行うコントローラとを具備することを特徴とする電気光学装置を提供するものである。

【0023】この第9の発明は、上記第1の発明を電気光学装置として具現したものであり、上記第1の効果と同様な効果を奏する。

【0024】第10の発明は、フィールド毎に1画面分の各画素の階調データを受け取り、これらの階調データに従い、複数のデータ線と複数の走査線との各交差に対応して配設され、画素電極と、当該画素電極に対向し、基準電圧が印加される対向電極と、当該画素電極及び当該対向電極の間に挟持された電気光学材料と、記憶部とを各々備えた複数の画素を有する電気光学装置であって、1フィールドを分割した複数のサブフィールドの各々において、データ線から画素への電圧印加を行う走査信号を、前記走査線の各々に順次供給する走査線駆動回路と、前記複数のサブフィールドの各々において、前記階調信号に基づき、画素をオン状態またはオフ状態とする電圧の印加を指示するデータ信号を順次生成し、前記走査信号が供給されている間、当該データ信号を各画素の記憶部に書き込むべく、各データ線に供給するデータ線駆動回路と、前記対向電極の基準電圧を第1の電圧と第2の電圧とに交互に変更する対向電極電圧制御回路と、対向電極の基準電圧を、第1の電圧及び第2の電圧における一方の電圧から他方の電圧に変更するとき、画素電極の電圧を前記一方の電圧に変更する第1の変更処理の後に、同期を取り、画素電極の電圧及び対向電極の基準電圧を一方の電圧から他方の電圧に変更させる第2の変更処理を行うコントローラとを具備することを特徴とする電気光学装置を提供するものである。

【0025】この第10の発明は、上記第1の発明を電気光学装置として具現したものであり、上記第1の効果と同様な効果を奏する。

【0026】この発明は、上記電気光学装置自体を単体で製造または製造する他、この電気光学装置を表示装置として備えた電気機器として製造または販売するという態様で実施することも可能である。

【0027】

【発明の実施の形態】

A：本発明に係る電気光学装置の駆動方法の原理
まず、本実施形態に係る装置の理解を容易にするため、本実施形態における電気光学装置の駆動方法について説明する。

【0028】本実施形態では、基準となる、対向電極の電圧を変更する場合、画素電極の電圧を、一旦、そのフィールドにおける対向電極と同一の電圧に設定しておき、次のフィールドに変化するとき、対向電極の電圧の変化と同期させて、全ての画素電極の電圧を対向電極が変更される電圧と同一の電圧へ変更させている。これにより、本願発明は、対向電極の基準電位を変更するとき、画素電極と対向電極とを、同期をとって同電位に変化させることにより、画素電極及び対向電極間に電流が流れず、余分な消費電流を押さえることができ、対向電極の基準電位を変更する極性反転回路の駆動能力を小さく設計することが可能となり、かつ対向電極の電圧を変化させる時間を短縮でき、画素電極の電圧を適切に制御することが可能となるので、画素の表示品質の劣化を防止することができる。

【0029】本実施形態は、表示する画像の階調度を駆動信号のバルス幅変調により制御する方式にも、階調度を画素に供給する電圧の値により制御する方式のいずれにも使用することが可能であるが、バルス幅変調方式の場合には、フィールドを分割したサブフィールドにおける最終サブフィールドにおいて、画素電極の電圧を、そのフィールドにおける対向電極と同一の電圧に変更する処理が設定できるため、よりバルス幅変調方式における制御が容易である。

【0030】B：第1の実施形態

B-1：第1の実施形態の構成

図1は、本発明の第1実施形態に係る電気光学装置の電気的な構成を示すブロック図である。この電気光学装置は、電気光学材料としてツイステッドネマチック（TN）型液晶を用いた液晶装置であり、素子基板と対向基板とが互いに一定の間隙を保って貼付され、この間隙に電気光学材料たる液晶が挟まれた構成となっている。また、この電気光学装置では、素子基板としてガラスや石英などの透明基板が用いられており、この素子基板上に画素を駆動する薄膜トランジスタ（TFT）とともに、周辺駆動回路を構成する相補型TFTなどが形成されている。また、第1の実施形態は、表示する画像の階調度をバルス幅変調により制御する方式における構成に対応している。

【0031】図1に示すように、素子基板上の表示領域101aには、複数本の走査線112がX（行）方向に延在して形成され、複数本のデータ線114がY（列）方向に延在して形成されている。そして、画素110は、走査線112とデータ線114との各交差に対応し

て設けられて、マトリクス状に配列している。本実施形態では、説明の便宜上、走査線の総本数を m 本とし、データ線 114 の総本数を n 本として (m 、 n はそれぞれ 2 以上の整数)、 m 行 \times n 列のマトリクス型表示装置として説明するが、本発明をこれに限定する趣旨ではない。

【0032】次に、図 2 は、図 1 における画素 110 の構成を例示する図である。同図に示すように、本実施形態における画素 110 は、信号データを保持する記憶部としてラッチ 160 を有しており、画素電極 118 と対向電極 108 との間に電気光学材料たる液晶 105 が挟まれて液晶層が形成されている。ラッチ 160 は、インバータ 201 及びインバータ 202 各々が一方の入力端子と他方の出力端子とが接続されて構成されており、トランジスタ (薄膜トランジスタ; TFT) 116 及び 117 のゲートが走査線 112 に、トランジスタ 116 のソースがデータ線 114 に、トランジスタ 117 のソースがデータ線 115 に、トランジスタ 117 のドレインが画素電極 118 及びインバータ 201 の出力端子に、トランジスタ 116 のドレインがインバータ 201 の入力端子にそれぞれ接続されている。したがって、画素電極 118 には、データ線 115 から供給されるデータ信号が保持される。

【0033】対向電極 108 は、画素電極 118 と対向電極 108 との間の電位差の基準となる基準電位が供給される端子 LCCOM に接続されている。また、対向電極 108 は、画素電極 118 と対向するように対向基板に一面に形成される透明電極である。この対向電極 108 には、極性反転回路 240 (図 1 参照) により生成された基準電圧 (以下、「対向電極電圧 V_{com} 」という) が印加されている。ここで、データ線 114 とデータ線 115 とは相補的な関係であり、データ線 115 には、データ線 114 のデータの反転された値が、データ線駆動回路 170 から出力される。

【0034】再び図 1 において、コントローラ 1 は、図示せぬ上位装置から供給される垂直走査信号 V_s 、水平走査信号 H_s およびドットクロック信号 $DCLK$ に従って、各種のタイミング信号やクロック信号などを生成するための装置である。このタイミング信号生成回路 2 によって生成される信号のうち主要なものを列挙すると次の通りである。

a. 交流化駆動信号 F_R

この交流化駆動信号 F_R は、データ線駆動回路 170 から出力されるデータ信号 d_1 、 d_2 、 d_3 、…、 d_n の駆動極性を決定するための信号である。本実施形態における交流化駆動信号 F_R は、「H」レベルから「L」レベルへ、「L」レベルから「H」レベルへ、という具合に反転を繰り返す。「H」レベルのとき、図示しない極性反転回路により、対向電極 108 に「H」レベル (電源電圧 V_{DD}) の電圧が印加され、「L」レベルのとき、

上記極性反転回路により、対向電極 108 に「L」レベル (接地電圧 V_{SS}) の電圧が印加される。交流化は、一般的にはフィールド単位で行うが、サブフィールドの間で行うことも、また複数のフィールドで 1 回行うことも可能である。

【0035】b. スタートパルス DY

このスタートパルス DY は、例えば、階調度が 8 階調とすると、1 フィールドを 8 分割した各サブフィールドの最初に出力されるパルス信号である。階調度を表示するためには、7 分割で十分であるが、最終サブフィールドを画素電極 118 の電圧の値を変更する期間として設ける。このため、最終サブフィールド ($Sf8$) の期間は、階調制御に影響を与えず、画素電極 118 の電圧の変化が十分行える時間に、階調度に応じて適時設定される。

c. クロック信号 CLY

このクロック信号 CLY は、走査側 (Y 側) の水平走査期間を規定する信号である。

【0036】d. クロック信号 CLX

このクロック信号 CLX は、いわゆるドットクロックを規定する信号である。

e. 書込制御信号 WR

この書込制御信号 WR は、上記上位装置から供給される階調データを、フィールドメモリ回路 230 へ書き込むタイミングを規定する信号である。

f. 読込制御信号 RD

この読込制御信号 RD は、フィールドメモリ回路 230 に記憶されている階調データを読み出すタイミングを規定する信号である

【0037】

g. イネーブル信号 $ENX/ENXB/ENY$

イネーブル信号 $ENX/ENXB$ は、データ線駆動回路 170 の出力を制御する信号である。ここで、イネーブル信号 $ENXB$ は、イネーブル信号 ENX と相補的な関係であり、イネーブル信号 ENX の反転されたレベルの信号が出力される。また、イネーブル信号 ENY は、走査線駆動回路 130 の出力を制御する信号である。h. イネーブル信号 $ENS/ENSB$ このイネーブル信号 $ENS/ENSB$ は、極性反転データ回路 240 の出力を制御する信号である。ここで、イネーブル信号 $ENSB$ は、イネーブル信号 ENS と相補的な関係であり、イネーブル信号 ENS の反転されたレベルの信号が出力される。以上がコントローラ 1 におけるタイミング信号生成回路 200 によって生成される主要な信号の概要である。

【0038】走査線駆動回路 130 は、いわゆる Y シフトレジスタと呼ばれるものであり、各サブフィールドの最初に供給されるスタートパルス DY をクロック信号 CLY に従って転送し、走査線 112 の各々に走査信号 G_1 、 G_2 、 G_3 、…、 G_m として順次出力するものであ

る。この走査線駆動回路130の具体的な構成は、図3に示される通りである。YシフトレジスタのスタートパルスDYのシフト部分は、ラッチ132₁~132_nが、各々の間にクロックインバータ131₁、131₂、131₃、…、131_nを介して、直列に接続して構成されている。ここで、ラッチ132₁~132_nは、各々2つのクロックインバータが、それぞれの出力端子を他方の出力端子に接続して構成されている。

【0039】このYシフトレジスタの構成において、走査タイミング生成回路2から出力されるスタートパルスDYを、クロック信号CLY及びCLYBが入力される毎に、走査線112の行方向(Y方向)に順次シフトさせ、走査信号G₁~G_mを出力する。本願発明において用いるクロックインバータは、制御信号としての各クロック信号が「H」レベルのとき活性化され、入力信号を反転した出力信号を出力し、クロック信号が「L」レベルのとき非活性化となり、入力信号のレベルに関わらず、出力がハイインピーダンスとなる。ここで、クロック信号CLYBは、クロック信号CLYと相補的な関係であり、クロック信号CLYの反転されたレベルとして出力される。また、アンド回路133₁~133_nは、イネーブル信号ENYが「H」レベルの場合に、各々、ラッチ132₁、132₂、…、132_nにラッチ(記憶)された2値信号のデータを出力し、イネーブル信号ENYが「L」レベルの場合に、ラッチ132₁、132₂、…、132_nにラッチされているデータに無関係に「L」レベルを出力する。

【0040】さらに、オア回路134₁~134_nは、制御信号SETが「L」レベルの場合、通常処理として上述したように走査信号G₁~G_mを出力するが、制御信号SETが「H」レベルで入力される場合、すなわち、画素電極118の電圧を対向電極108の対向電極電圧と同一電圧に調整(変更)する場合、電気光学装置の全ての画素のトランジスタ116及び117(図2)のゲートに接続されている走査線112に「H」レベルの走査線信号を出力し、トランジスタ116及び117をオン状態とする。

【0041】フィールドメモリ回路230は、上位装置から入力される階調データを記憶するためのフィールドメモリが2組用意されている。このため、コントローラ1は、片方のフィールドメモリに読込制御信号RDを出力し、書き込まれている階調データを読み出しているとき、他方のフィールドメモリに書込制御信号WRを出力し、上位装置からの新しい階調データを書き込む処理を行うことができる。すなわち、読み出し及び書き込みは、1フィールドの画面の制御を行っている間に、次のフィールドの階調データを書き込むようにするため、コントローラ1の制御により、2つのフィールドメモリにおいて交互に行われる。

【0042】次に、デコード回路210について説明す

る。本実施形態では、1フィールドを8個のサブフィールドSf1~Sf8に分割し、これらの各サブフィールドSf1~Sf7において、フィールドメモリ回路230から読み出された3ビットの階調データに応じた画素110のオンオフ駆動を行い、8階調の画像表示を行う。デコード回路210は、各サブフィールドにおいて、各画素110に対応した階調データに基づいて当該画素110のオンオフ駆動を指示する2値信号Dsを生成するものである。図4及び図5はデコード回路210の階調データを2値信号Dsに変換する機能を示す真理値表である。

【0043】画素110(図2参照)の構成により、画素電極118に与えられるデータの電圧が、2値信号Dsの電圧の反転された電圧レベルとなる。このため、交流化信号FRが「H」レベル(対向電極108が電源電圧VDD)のとき、図4においては、「H」レベルの2値信号Dsが画素110をオン状態とする作用を呈し、「L」レベルの2値信号Dsは画素110をオフ状態とする作用を呈するようになっている。例えば階調データが(000)である場合には、すべてのサブフィールドSf0~Sf6において画素110をオフ状態とする「L」レベルの2値信号Dsが出力される。また、階調データが(001)である場合には、サブフィールドSf0において画素110をオン状態とする「H」レベルの2値信号Dsが出力され、それ以外のサブフィールドSf1~Sf6においては画素110をオフ状態とする「L」レベルの2値信号Dsが出力される。

【0044】デコード回路210において生成された2値信号Dsは、走査線駆動回路130からの走査信号に同期して、データ線駆動回路170から出力される必要がある。このため、走査タイミング生成回路2(図1)は、水平走査に同期するクロック信号CLYのレベル遷移(すなわち、立ち上がり及び立ち下がり)時に出力されるラッチパルスLP(走査タイミング生成回路2の内部信号、図8参照)に同期して、ドットクロック信号に相当するクロック信号CLXを、時系列にデータ線駆動回路170に対して供給している。ここで、図4に示されている階調度と2値信号Dsとの関係は、交流化駆動信号FRが「H」レベル、すなわち対向電極118の電圧Vcomが電源電圧VDDの場合である。一方、交流化駆動信号FRが「L」レベル、すなわち対向電極118の電圧Vcomが接地電圧Vssの場合に、デコード回路210は、図5に示す真理値表に基づき階調データに対応した2値信号Dsの値を出力する。すなわち、交流化駆動信号FRが「H」レベルのときの階調度の場合に対して、交流化駆動信号FRが「L」レベルの場合には、2値信号Dsのデータが反転した関係となる。

【0045】次に、データ線駆動回路170は、上述した2値信号Dsに基づいて、「H」レベルまたは「L」レベルのいずれかの電圧レベルを選択し、選択した電圧

のデータ信号d1、d2、d3、…、dnを一斉に各データ線114に供給するためのものである。このデータ線駆動回路170の具体的な構成は、図6に示される通りである。このとき、データ線駆動回路170は、各データ線114に供給されたデータ信号d1、d2、d3、…、dnの反転したレベルのデータ信号を、各々対応するデータ線115に供給する。

【0046】図6に示すように、このデータ線駆動回路170は、Xシフトレジスタ180、トランスファークラップ191₁～191_nにより構成されている。Xシフトレジスタ180は、入力される2値信号を反転するインバータ500を有しており、ラッチ182₁～182_nが、各々の間にクロックドインバータ181₁、181₂、181₃、…、181_nを介して、直列に接続して構成されている。ここで、ラッチ182₁～182_nは、各々2つのクロックドインバータが、それぞれの出力端子を他方の出力端子に接続して構成されている。ここで、Xシフトレジスタ180は、サブフィールドにおける走査信号が出力された後、次の走査信号が出力されるまでの期間に、デコード回路210から順次入力される2値信号Dsを、インバータ500により反転した後、タイミング信号生成回路2から供給されるクロック信号CLX、CLXBに従って転送する。

【0047】このとき、クロック信号CLXBは、クロック信号CLXと相補的な関係であり、クロック信号CLXの反転されたレベルの信号が出力される。そして、Xシフトレジスタ180は、1走査線分の2値信号Dsが転送された後、走査信号が入力される時点で同期して、イネーブル信号ENXが「H」レベル、イネーブル信号ENXBが「L」レベルとなり、トランスファークラップ191₁～191_n及びトランスファークラップ192₁～192_nがオン状態となり、転送されて保持されている2値信号DsがXシフトレジスタ180の各ノードから、各データ線へ各々データ信号d1、d2、…、dn、データ信号d1B、d2B、…、dnBとして出力される。

【0048】一方、イネーブル信号ENXが「L」レベル、イネーブル信号ENXBが「H」レベルの場合、各トランスファークラップ191～194がオフ状態（出力がハイインピーダンス状態）となり、Xシフトレジスタ180の各ノードのデータは、信号線へ出力されない。このとき、データ信号d1Bは、データ信号d1と相補的な関係であり、データ信号d1の反転されたデータが出力される。例えば、データ信号d1/d1Bは、各々、図2の画素におけるデータ線114、115に出力される。他のデータ信号も、データ信号d1/d1Bと同様な関係を有する。

【0049】次に、極性反転データ回路240は、極性反転信号FRに基づき、一斉に、画素電極118の電圧が対向電極108の対向電極電圧と同一の電圧となるデ

ータ信号を、図1における全てのデータ線114及び全てのデータ線115に対して供給するためのものである。すなわち、極性反転データ回路240は、極性反転信号FRが「H」レベルの場合、対向電極108が「H」レベルであるので、画素電極118を「H」レベルとするため、画面操作の間、全てのデータ線114へ「L」レベルの制御信号を、また全てのデータ線115に対して「H」レベルのデータ信号を供給する。その後、対向電極の電圧を変更するタイミングに合わせて（交流化駆動信号FRに同期して）、それぞれのデータ線に出力しているデータ信号の極性を反転する。この極性反転データ回路240の具体的な構成は、図7に示される通りである。

【0050】図7に示すように、極性反転データ回路240は、入力される極性反転信号FRをインバータ241により反転させ、トランスファークラップ243₁～243_n、及びインバータ242へ出力する。インバータ242は、インバータ241から入力される信号を反転し、すなわち極性反転信号FRと同レベルへ戻し、トランスファークラップ244₁～244_nへ出力する。トランスファークラップ243₁～243_n及びトランスファークラップ244₁～244_nは、イネーブル信号ENSが「H」レベルであり、イネーブル信号ENSBが「L」レベルのとき、各々オン状態となり、インバータ241及びインバータ242から入力されるデータ信号を、各々全てのデータ線114、全てのデータ線115へ各々出力する。

【0051】これにより、極性反転データ回路240は、極性反転信号FRに基づき、一斉に、画素電極118の電圧が対向電極108の対向電極電圧と同一の電圧となるデータ信号を、全てのデータ線114及び全てのデータ線115に対して供給することが可能となる。一方、トランスファークラップ243₁～243_n、及びトランスファークラップ244₁～244_nは、イネーブル信号ENSが「H」レベルであり、イネーブル信号ENSBが「L」レベルのとき、出力がハイインピーダンス状態となる。

【0052】なお、上述した走査線駆動回路130およびデータ線駆動回路170を構成するトランジスタは、素子基板上に形成されたTFTにより構成することができる。

【0053】B-2：第1実施形態の動作

次に、上述した実施形態に係る電気光学装置の動作について説明する。図8および図9は、この電気光学装置の動作を示すタイミングチャートである。図8に示すように、スタートパルスDYは、1フィールドを分割した8個の、各サブフィールドの開始タイミングにおいてタイミング信号生成回路2から出力される。

【0054】ここで、サブフィールドSf1の開始を規定するスタートパルスDYが供給されると、走査線駆動

10

20

30

40

50

回路130(図1参照)は、このスタートパルスDYをクロック信号CLYに従って転送し、この結果、データ転送期間(1Va)の間に、走査信号G1、G2、G3、…、Gmが順次出力される。なお、図8に示すデータ転送期間(1Va)は、各サブフィールドと同じかそれよりもさらに短い期間に設定されている(すなわち、 $1Va \leq Sfk$ (kは、 $1 \leq k \leq 8$ を満たす整数)が成り立つようになっている)。ここで、データ転送期間(1Va)とは、上から数えて1本目の走査線112に対して走査信号G1の供給が開始されてから、m本目の走査線112に対して走査信号Gmの供給が終了するまでの期間である。

【0055】さて、走査信号G1、G2、G3、…、Gmは、それぞれクロック信号CLYの半周期に相当するパルス幅を有し、また、上から数えて1本目の走査線112に対応する走査信号G1は、スタートパルスDYが供給されたあと、クロック信号CLYが最初に立ち上がってから、少なくともクロック信号CLYの半周期だけ遅延して出力される。従って、サブフィールドの最初にスタートパルスDYが供給されてから、走査信号G1が出力されるまでに、ラッチパルスLPの1ショット(図8においては「LP1」と表記されている)が出力される。

【0056】そこで、このラッチパルスLPの1ショット(LP1)が出力された場合について検討してみる。まず、走査タイミング生成回路2は、このラッチパルスLPの1ショット(LP1)に同期させて、データ線駆動回路170へ、クロック信号CLX及びクロック信号CLXBをパルス列として供給する。そして、Xシフトレジスタ180は、時系列に入力されるこのクロック信号CLX及びクロック信号CLXBに従って、デコード回路210から入力される2値信号Dsを(図において右方向に)順次シフトさせる。そして、水平走査期間(1H)において、走査線1行分の画素に対する2値信号Dsが、Xシフトレジスタ180の各ラッチ(ラッチ182₁~182_n)に転送されて保持される。

【0057】すなわち、図6におけるXシフトレジスタ180は、クロック信号CLXの1つ目のパルスの立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて1本目のデータ線114との交差に対応する画素110への2値信号Dsを1つ目のラッチ182₁にラッチし、次に2つ目のクロック信号CLXの立ち下がりにおいて、上から数えて1本目の走査線112と、左から数えて2本目のデータ線114との交差に対応する画素110への2値信号Dsをラッチ182₁にラッチするとともに、ラッチ182₁にラッチしていたデータをラッチ182₂へシフトさせる。以下、同様に、Xシフトレジスタ180は、上から数えて1本目の走査線112と、左から数えてn本目までの各データ線114との各交差に対応する各画素110への、デコー

ド回路210から入力される2値信号Dsを順次シフトさせていく。

【0058】これにより、まず、図1において上から1本目の走査線112との交差に対応する画素1行分の2値信号Dsが、クロック信号CLX及びクロック信号CLXBに基づき、Xシフトレジスタ180の各ラッチ182₁~182_nにより順次ラッチされることとなる。なお、デコード回路210は、Xシフトレジスタ180におけるシフトのタイミングに合わせて、各画素の階調データを2値信号Dsに変換して出力することは言うまでもない。

【0059】次に、クロック信号CLYが立ち下がって、走査信号G1が出力されると、図1において上から数えて1本目の走査線112が選択される結果、当該走査線112との交差に対応する画素110のトランジスタ116及び117がすべてオン状態となる。一方、当該クロック信号CLYの立下りによってラッチパルスLPが出力される。そして、このラッチパルスLPの立ち下がりタイミングにおいて、イネーブル信号ENXを「H」レベルとし、データ線駆動回路170のトランスファーマゲートをオン状態として、Xシフトレジスタ180によって順次ラッチされた2値信号Dsを、各ノードから対応するデータ線114に、データd1、d2、…、dnとして、またデータ線115に、データd1B、d2B、…、dnBとして一斉に供給する。

【0060】各データ線へのデータの供給が終了して、イネーブル信号ENXが「L」レベルとなった後、図1において上から2本目の走査線112との交差に対応する画素1行分の2値信号Dsが、Xシフトレジスタ180により順次ラッチされる。

【0061】そして、以降同様の動作が、m本目の走査線112に対応する走査信号Gmが出力されるまで繰り返される。なお、画素110に書き込まれたデータ信号は、次のサブフィールドSf2における書き込みまで保持される。

【0062】以後、同様の動作が、サブフィールドの開始を規定するスタートパルスDYが供給される毎に繰り返される。さらに、フィールドが切り換わり、交流化駆動信号FRが「H」レベルから「L」レベルに反転した場合においても、各サブフィールドにおいて同様な動作が繰り返される。ただし、この場合、デコード回路210は、フィールドメモリ回路230から入力される階調データを、図4に示す真理値表ではなく図5に示す真理値表に基づいて、階調データを変換してデータDsとして出力する。

【0063】例えば、交流化駆動信号FRが「H」レベルであるフィールドにおいて($V_{com} = V_{DD}$)、ある画素の階調データが(000)であるとき、図4に示した真理値表に従う結果、当該画素110の画素電極118には、2値信号Dsの電圧の反転された電圧レベルが印

10

20

30

40

50

加されるため、1フィールド(1f)にわたって「H」レベルが印加される。ここで、この「H」レベルの電圧と対向電極の電圧 V_{com} とは等しいから、1フィールドにおいて当該画素110の液晶層に印加される実効電圧値は「0V」となる。この結果、当該画素110の透過率は、階調データ(000)に対応して0%となる。一方、次のフィールドにおいて交流化駆動信号FRが「L」レベルに反転した場合($V_{com}=V_{ss}$)にも、当該画素110の画素電極118には、2値信号Dsの電圧の反転された電圧レベルである「L」レベルの電圧が1フィールドにわたって印加されるため、当該画素110の透過率は0%となる。

【0064】次に、交流化駆動信号FRが「L」レベルであるフィールドにおいて($V_{com}=V_{ss}$)、ある画素110の階調データが(001)である場合、図4に示した真理値表に従う結果、当該画素110の画素電極118には、サブフィールドSf1においては「H」レベル(電源電圧VDD)が、他のサブフィールドSf2~Sf7においては「L」レベル(接地電圧Vss)が、それぞれ印加される。すなわち、サブフィールドSf1においては、対向電極108に印加される対向電極電圧 V_{com} と画素電極118に印加される電圧との差電圧であるVDDが、当該画素110の液晶層に対して印加される。一方、サブフィールドSf2~Sf7においては、液晶層に対して印加される電圧は0Vとなる。ここで、サブフィールドSf1の期間が1フィールド(1f)において占める割合は、Sf8を無視した場合、約1/7である。その結果、「L」レベル:「H」レベル=6:1であり、この比により階調度が決定されることになる。

【0065】一方、フィールドが切り替わり、交流化駆動信号FRが「H」レベルとなると、1フィールドのうちのサブフィールドSf1においては「L」レベル(電源電圧Vss)が、他のサブフィールドSf2~Sf7においては「H」レベル(接地電圧VDD)が、それぞれ画素電極118に印加される結果、上記の交流化駆動信号FRが「L」レベルである場合と同様に、当該画素110の透過率は、階調データ(001)に対応して14.3%となる。ただし、上記からも明らかなように、交流化駆動信号FRが「H」レベルであるフィールドにおいて液晶層に印加される電圧は、交流化駆動信号FRが「L」レベルであるフィールドにおいて液晶層に印加される電圧とは極性が逆であり、かつ、その絶対値は等しくなる。ここで、交流化駆動信号FRは周期的に反転を繰り返すから、液晶層に印加される電圧の極性も周期的に反転することとなる。そしてこの結果、液晶層に直流成分が印加される事態が回避されるから、液晶105の劣化を防止できるという効果が得られる。かかる効果は、他の階調データが与えられた場合も同様に得られることはいうまでもない。

【0066】次に、交流化駆動信号FRが「L」レベル

であるフィールドにおいて、ある画素110の階調データが(010)である場合、サブフィールドSf1およびSf2においては「H」レベル(電源電圧VDD)が、他のサブフィールドSf3~Sf7においては「L」レベル(接地電圧Vss)が、当該画素110の液晶層に印加される。ここで、サブフィールドSf1~Sf2の期間が1フィールド(1f)において占める割合は、

「L」レベル:「H」レベル=5:2であり、この比により階調度が決定されることになる。交流化駆動信号FRがLレベルとなるフィールドにおいても同様である。

【0067】他の階調データが与えられた場合も同様である。すなわち、階調データに応じて画素をオン状態にするサブフィールドと画素110をオフ状態にするサブフィールドとが決定され、画素110をオン状態にするサブフィールドにおいては、交流化駆動信号FRが「H」レベルの場合には「H」レベルの電圧が、交流化駆動信号FRが「L」レベルの場合には「L」レベルの電圧が、それぞれ画素電極118に印加される。そしてこの結果、階調データに応じた透過率を得るための実効電圧値が液晶層に対して与えられ、当該階調データに応じた階調表示が可能となるのである。

【0068】このように、本実施形態によれば、1フィールドが複数のサブフィールドSf1~Sf8に分割され、各サブフィールドSf1~Sf7毎に各画素の液晶層に対して電源電圧VDDまたは接地電圧Vssが印加されて、1フィールドにおける実効電圧値が制御される。従って、駆動回路などの周辺回路においては、従来の技術の下では不可欠であった高精度のD/A変換回路やオペアンプ等のアナログ信号を処理するための回路は不要となる。このため、回路構成が大幅に簡略化されるので、装置全体のコストを低く抑えることができる。さらに、画素の液晶層に与えられる電圧は「L」レベル(接地電圧Vss=0V)または「H」レベル(電源電圧VDD)のいずれかであり、2値的であるとともに、そのレベルはラッチ回路100により直接に液晶に供給されるので、素子特性や配線抵抗などの不均一性に起因する表示ムラが原理的に発生しない。このため、本実施形態に係る電気光学装置によれば、高品質かつ高精細な階調表示が可能となる。

【0069】次に、階調データを表現するサブフィールドSf1~サブフィールドSf7の後のサブフィールドSf8近傍における動作について図9のタイミングチャートを用いて説明する。図9は、特定の走査線に接続された画素について、対向電極108と画素電極118とに印加される電圧の関係を示すタイミングチャートである。サブフィールドSf8の期間は時間Tsに対応しており、この時間Tsは画素の階調制御には寄与しない。走査タイミング生成回路2により、時刻t1において注目している画素が属する走査線を選択する。この過程において、イネーブル信号ENSは、「H」レベルに設定

されており、また極性反転データ回路240の出力は対向電極108と同じレベル（この場合は「H」レベル）に設定されているので画素電極118の電圧も「H」レベルに設定（セット）される。このとき液晶は、電界が印加されない状態となる。

【0070】次に、全ての走査線にわたり、上記の書込み処理が終了した後、時刻 t_2 において、走査タイミング生成回路2が極性反転信号FRを「H」レベルから「L」レベルに移したとき、画素電極118と対向電極108とは同期した状態で、「H」レベルから「L」レベルへ移行させる。このとき、走査タイミング生成回路2は、イネーブル信号ENSを「H」レベルに保ち、また、制御信号SETを「H」レベルに移させる。この状態のまま、極性反転データ回路240の出力を、対向電極108の電圧変化と同期させて変化することにより、極性反転が行われる。この処理の後、制御信号SETは「L」レベルに、またイネーブル信号ENSも「L」レベルに移させ、全ての画素110のトランジスタ116及び117をオフ状態とする。この過程は、全ての画素に対して同時に行われ、また液晶に電界が印加されない状態が維持されている。次に、時刻 t_2 ～時刻 t_3 の期間は、図8で説明した処理が行われ、サブフィールドSf1～サブフィールドSf7において画素の階調制御が行われる。ここで、時刻 t_2 ～時刻 t_4 のフィールドにおいて、対向電極108が「L」レベルであるため、液晶105に印加される電圧は、電源電圧VDDとなる。このとき、イネーブル信号ENSが「L」レベルのままであり、極性反転データ回路240の出力はハイインピーダンスとされている。

【0071】次に、時刻 t_3 において、走査タイミング生成回路2により、注目している画素が属する走査線が再び選択される。この過程において、イネーブル信号ENSは「H」レベルに設定されており、また極性反転データ回路240の出力は対向電極108と同じレベル（この場合は「L」レベル）に設定されているので、画素電極118の電圧も「L」レベルに設定（セット）される。このとき液晶は、電界が印加されない状態となる。

【0072】次に、全ての走査線にわたり、上記の書込み処理が終了した後、時刻 t_4 において、走査タイミング生成回路2が極性反転信号FRを「L」レベルから「H」レベルに移したとき、画素電極118と対向電極108とは同期した状態で、「L」レベルから「H」レベルへ移行させる。このとき、走査タイミング生成回路2は、イネーブル信号ENSを「H」レベルに保ち、また、制御信号SETを「H」レベルにする。この状態のまま、極性反転データ回路240の出力を、対向電極108の電圧変化と同期させて変化することにより、再び極性反転が行われる。この処理の後、制御信号SETは「L」レベルに、またイネーブル信号ENSも「L」

レベルに移させ、全ての画素110のトランジスタ116及び117をオフ状態とする。この過程は、すべての画素に対して同時に行われ、また液晶に電界が印加されない状態が維持されている。次に、時刻 t_4 ～時刻 t_5 の間の期間は、図8で説明した処理が行われ、サブフィールドSf1～サブフィールドSf7において画素の階調制御が行われる。ここで、時刻 t_4 ～時刻 t_6 のフィールドにおいて、対向電極108が「H」レベルであるため、液晶105に印加される電圧は、電源電圧VDDの極性が反転した「-VDD」となる。このとき、イネーブル信号ENSが「L」レベルのままであり、極性反転データ回路240の出力はハイインピーダンスとされている。

【0073】上記図9は、走査線112の1本について示したものであり、図10にm本の走査線に対応する画素電極の電圧変化のタイミングチャートが示されている。走査線1行目に対応する画素電極の電圧変化と、走査線2行目に対応する画素電極の電圧変化とは、極性反転データ回路240による画素へのデータ書込みに要する時間 d だけずれている。そして、最後の走査線n行目に対応する画素電極の電圧が変化するのは、走査線1行目の画素電極から時間 $(n-1) \cdot d$ だけ遅れている。実際に、1フィールド（時間T）において、図8において説明した階調制御を行う時間は、「 $T - (n-1) \cdot d$ 」となる。しかしながら、時間 d 自体は1サブフィールドの時間に対して、非常に短く、この時間 $(n-1) \cdot d$ は階調制御に対して影響を与えない時間にする必要がある。また、図9における時間Tsは、サブフィールドSf8としているが、階調制御に寄与させる必要がないので、できるだけ短い時間にしたいほうが良い（例えば、10ナノ秒程度）。

【0074】上述したように、本実施形態によれば、交流駆動において、対向電極108の電圧を変更する場合、対向電極108の電圧を変更する前に、画素電極118の電圧を、一旦、対向電極108と同一にし、対向電極108及び画素電極118の電圧を同期させて同一電圧へ変更させるため、対向電極108の電圧を変更する時点において、対向電極108と画素電極118とに挟まれた液晶に印加されている電圧に変化がなく、よって液晶による容量成分に対して電流が流れ込まない。そのため、電圧変更時に電荷の充電のために余分な電流を流すことなく、消費電流を削減することができ、極性反転回路の規模を縮小を可能とし、かつ、高速に対向電極108の電圧を変更することが可能となる効果が得られる。

【0075】また、本実施形態によれば、対向電極108の電圧変化に必要な電圧を供給するための極性反転回路や配線などに接続された各周辺回路が、この対向電極108に流れる電流の影響を受けることにより誤動作を起す問題に対しては、対向電極108と画素電極11

8との間にほとんど電流が流れないため、各周辺回路が誤動作を起こす現象を防止する効果がある。

【0076】ここで、上記のような駆動を行う際に、用いる液晶表示方式としては、電圧を印加しない状態で黒表示となるもの（ノーマリーブラック方式のもの）を用いる方が表示特性上有利である。なぜならば、極性反転を行うため、一旦、画素電極を対向電極と同じ極性にする際、必ず、液晶に電圧が印可されない期間が出来てしまうが、この状態で白表示になる液晶表示方式では、この期間のために黒が十分黒くならず、コントラストの低下を招くからである。ノーマリーブラック方式との組み合わせにおいては、多少、明るさが低下するものの、表示品質に与える影響は軽微である。

【0077】C：第2の実施形態

C-1：第2の実施形態の構成

次に、第2の実施形態に係る電気光学装置の構成について説明する。第2の実施形態の第1の実施形態の構成と異なる部分は、画素におけるラッチの構成のみであり、図2のラッチ160の構成に換え、図11のラッチ150の構成としたものである。図11のラッチ150は、pチャネル型MOSのトランジスタ121、122及びnチャネル型MOSのトランジスタ123、124で構成されたクロックドインバータのタイプであり、走査線112に走査線信号が「H」で入力され、走査線120に走査線信号が「L」レベルで入力されると、各々トランジスタ124、トランジスタ121がオン状態となり、ラッチ150が活性化されて、ラッチ150へのデータの書込状態となる。ここで、走査線120の信号は、走査線112の信号と相補的な関係であり、走査線120の信号の反転されたレベルである。

【0078】トランジスタ124、トランジスタ121がオン状態のとき、データ線114にデータ線駆動回路170から2値化信号Dsが出力されると、トランジスタ122とトランジスタ123とが2値化信号Dsの反転信号を出力する。そして、走査線112に走査線信号が「L」で入力され、走査線120に走査線信号が「H」レベルで入力されると、トランジスタ121とトランジスタ124がオフ状態となり、ラッチ150は2値化信号Dsの反転信号を保持する。また、走査線駆動回路130には、走査線112に加えて、走査線120に走査線112の走査信号の相補的なレベルの走査信号を出力する反転機能を必要とする。電気光学装置としての動作については、上述したラッチ150の構成以外に、第1の実施形態の動作と異なった部分がないため説明を省略する。また、第2の実施形態の効果についても第1の実施形態と同様である。

【0079】D：第3の実施形態

D-1：第3の実施形態の構成

次に、第3の実施形態に係る電気光学装置の構成について説明する。第3の実施形態の第1の実施形態の構成と

異なる部分は、画素におけるラッチの構成のみであり、図2のラッチ160の構成に換え、図12のトランスファゲート151の構成としたものである。

【0080】図12のトランスファゲート151は、走査線112に走査線信号が「H」で入力され、走査線120に走査線信号が「L」レベルで入力されると、オン状態となり、データ線114の2値化信号Dsの信号レベルが対向電極118に与えられ、対向電極118に電荷が蓄積または放電されて、対向電極118の電圧が2値化信号Dsの信号レベルとなる。ここで、走査線120の信号は、第2の実施形態と同様に、走査線112の信号と相補的な関係であり、走査線120の信号の反転されたレベルである。

【0081】上述したように、トランスファゲート151がオン状態のとき、データ線114にデータ線駆動回路170から2値化信号Dsが出力されると、対向電極118の電圧が2値化信号Dsの信号レベルとなる。そして、走査線112に走査線信号が「L」で入力され、走査線120に走査線信号が「H」レベルで入力されると、トランスファゲート151がオフ状態となり、画素電極118の容量により2値化信号Dsの電圧レベルを保持する。このため、第1の実施形態及び第2の実施形態と異なり、図4の真理値表における2値信号Dsの値は、極性反転信号FRが「L」レベルのとき、すなわち対向電極の電圧Vcomが接地電圧Vssのときの場合を示している。一方、極性反転信号FRが「H」レベルのとき、すなわち対向電極の電圧Vcomが電源電圧VDDのときには、図4の2値信号Dsが反転された値となる。

【0082】また、走査線駆動回路130には、第2の実施形態と同様に、走査線112に加えて、走査線120に走査線112の走査信号の相補的なレベルの走査信号を出力する反転機能を必要とする。電気光学装置としての動作については、上述したトランスファゲート151の構成以外に、第1の実施形態の動作と異なった部分がないため説明を省略する。また、第3の実施形態の効果についても第1の実施形態と同様である。

【0083】E：第4の実施形態

E-1：第4の実施形態の構成

次に、第4の実施形態に係る電気光学装置の構成について説明する。第4の実施形態の第1の実施形態の構成と異なる部分は、第3の実施形態と同様に、画素110におけるラッチの構成のみであり、図2のラッチ160の構成に換え、図12のトランスファゲート151の構成としたものである。そして、図12の画素構成は、上述してきたパルス幅変調による階調制御だけでなく、階調データに応じた電圧値を画素電極118に印加した階調制御にも対応可能である。この電圧値による階調制御においては、図1におけるデコード回路210が必要な

く、フィールドメモリ回路230から読み出された階調

データがデータ駆動回路170内のD/A変換器などにより階調データの示す階調度に対応した電圧値に変換されて、データ線114に各々出力される。

【0084】このとき、走査線駆動回路130は、各フィールドがサブフィールドに分解されていないので、水平同期信号Hsのタイミングにより、各々の走査線112に順次、走査線信号G1(G2~Gm)を出力する。このとき、データ線駆動回路170がデータ線114に階調度に対応した電圧値を出力するタイミングと、走査線駆動回路130が走査線112に走査信号を出力するタイミングとは、同期が取れている。これにより、各画素には、画素電極118と対向電極108とに介挿された液晶の容量成分により、データ線114に与えられた電圧に対応した電荷が蓄積され、この蓄積された電荷量により画素の液晶の透過率が制御され、各々の画素において所望の階調度が得られる。

【0085】また、交流駆動において、対向電極108の対向電極電圧Vcomを変更する場合、この変更前に画素電極118の電圧を対向電極108の対向電極電圧Vcomと同一にする処理は、例えば、以下のように行う。まず、コントローラ1内部のタイマ機能により、図9において、極性反転信号RFの変化点から時間「T-Ts」経過した時点(時刻t1, t3, t5, …)を検出し、検出信号を出力させる。この検出信号に基づき、走査タイミング生成回路2は、セット信号SETを「H」レベルとし、走査線114の全てに走査線信号を出力するとともに、イネーブル信号ENSを「L」レベルから「H」レベルへ遷移させる。

【0086】これにより、画素電極118の電圧は対向電極108の対向電極電圧Vcomの電圧値と等しくなる。そして、第1~第3の実施形態と同様に、時刻t2(またはt4, t6, …)において、対向電極108(極性反転信号FR)が異なったレベルに変化するとき、対向電極108と画素電極118とが同期を取り(同時に)、異なった電圧レベル、例えば、極性反転信号FRが「H」レベルから「L」レベルへ遷移したとすると、対向電極108と画素電極118とが同期を取り、「H」レベルから「L」レベルに電圧が変更される。

【0087】上述したように、本実施形態によれば、交流駆動において、対向電極108の電圧を変更する場合、対向電極108の電圧を変更する前に、画素電極118の電圧を、一旦、対向電極108と同一にし、対向電極108及び画素電極118の電圧を同期させて同一電圧へ変更させるため、対向電極108の電圧を変更する時点において、対向電極108と画素電極118とに挟まれた液晶に印加されている電圧に変化がなく、よって液晶による容量成分に対して電流が流れ込まない。そのため、電圧変更時に電荷の充電のために余分な電流を流すことなく、消費電流を削減することができ、極性反転回路の規模を縮小を可能とし、かつ、高速に対向電極

108の電圧を変更することが可能となる効果が得られる。

【0088】また、本実施形態によれば、対向電極108の電圧変化に必要な電圧を供給するための極性反転回路や配線などに接続された各周辺回路が、この対向電極108に流れる電流の影響を受けることにより誤動作を起こす問題に対しては、対向電極108と画素電極118との間にほとんど電流が流れないため、各周辺回路が誤動作を起こす現象を防止する効果がある。

10 【0089】F:液晶装置の全体構成次に、上述した実施形態や応用形態に係る電気光学装置の構造について、図13および図14を参照して説明する。ここで、図13は、電気光学装置100の構成を示す平面図であり、図14は、図13におけるA-A'線の断面図である。

【0090】これらの図に示されるように、電気光学装置100は、画素電極118などが形成された素子基板101と、対向電極108などが形成された対向基板102とが、互いにシール材104によって一定の間隙を保って貼り合わせられるとともに、この間隙に電気光学材料としての液晶(例えば、Twisted Nematic Type)105が挟持された構造となっている。なお、液晶材料はTNに限らず、SupperTwisted Nematic(STN)型液晶、垂直配向型液晶、ねじれの無い水平配向型液晶など各種ネマチック液晶、高分子分散型液晶、強誘電液晶や双安定型TN(Bi-stable Twisted Nematic)型液晶等、種々用いることができる。なお、実際には、シール材104には切欠部分があって、ここを介して液晶105が封入された後、封止材により封止されるが、これらの図においては省略されている。

30 【0091】ここで、上記各実施形態においては、素子基板101を、上述したようにガラスまたは石英等の透明基板とした。従って、画素電極118をアルミニウム等の反射性金属によって形成すれば反射型表示装置として用いることができる一方、画素電極118をITO(Indium Tin Oxide)等の透明薄膜によって形成すれば透過型表示装置として用いることができる。

【0092】このように、上記各実施形態においては、素子基板101をガラスや石英等の透明な絶縁基板とし、ここに、画素電極118に接続されるトランジスタ116や、駆動回路の構成素子などを、基板上に堆積又は貼付けた半導体薄膜に形成したTFTで構成したが、本発明を適用できるのは、かかる電気光学装置に限られない。例えば、素子基板101を半導体基板とし、この半導体基板にMOS型トランジスタ(MOSFET)等を形成するようにしてもよい。ただし、この場合、素子基板は不透明であるから、画素電極118はアルミニウム等の反射性金属によって形成され、反射型表示装置として用いられることとなる。

50 【0093】さて、素子基板101において、シール材104の内側かつ表示領域101aの外側領域には、遮

光膜 106 が設けられている。この遮光膜 106 が形成される領域内のうち、領域 130a には走査線駆動回路 130 が形成され、また、領域 140a にはデータ線駆動回路 140 が形成されている。すなわち、遮光膜 106 は、この領域に形成される駆動回路に光が入射するのを防止している。

【0094】また、素子基板 101 において、データ線駆動回路 140 が形成される領域 140a の外側であって、シール材 104 を隔てた領域 107 には、複数の接続端子が形成されて、外部からの制御信号や電源などが 10 入力される構成となっている。

【0095】一方、対向基板 102 の対向電極 108 は、基板貼合部分における 4 隅のうち、少なくとも 1 箇所において設けられた導通材（図示省略）によって、素子基板 101 における接続端子と電気的な導通が図られている。すなわち、対向電極電圧 LCCOM は、素子基板 101 に設けられた接続端子と導通材とを介して対向電極 108 に印加される構成となっている。

【0096】ほかに、対向基板 102 には、電気光学装置 100 の用途に応じて、例えば、直視型であれば、第 1 に、ストライプ状や、モザイク状、トライアングル状等に配列したカラーフィルタが設けられ、第 2 に、例えば、金属材料や樹脂などからなる遮光膜（ブラックマトリクス）が設けられる。なお、色光変調の用途の場合には、例えば、後述する 3 板式プロジェクタのライトバルブとして用いる場合には、カラーフィルタは形成されない。また、直視型の場合、電気光学装置 100 に光を対向基板 102 側から照射するフロントライトなどが必要に応じて設けられる。くわえて、素子基板 101 および 20 対向基板 102 の電極形成面には、それぞれ所定方向にラビング処理された配向膜（図示省略）などが設けられて、電圧無印加状態における液晶分子の配向方向を規定する一方、対向基板 101 の側には、配向方向に応じた偏光子（図示省略）が設けられる。ただし、液晶 105 として、高分子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光子などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0097】G：電子機器

次に、上述した液晶装置を具体的な電子機器に用いた例 40 のいくつかについて説明する。

【0098】＜その 1：プロジェクタ＞まず、実施形態に係る電気光学装置をライトバルブとして用いたプロジェクタについて説明する。図 15 は、このプロジェクタの構成を示す平面図である。この図に示されるように、プロジェクタ 1100 内部には、偏光照明装置 1110 がシステム光軸 PL に沿って配置されている。この偏光照明装置 1110 において、ランプ 1112 からの出射光は、リフレクタ 1114 による反射で略平行な光束とな 50 って、第 1 のインテグレートレンズ 1120 に入射す

る。これにより、ランプ 1112 からの出射光は、複数の中間光束に分割される。この分割された中間光束は、第 2 のインテグレートレンズを光入射側に有する偏光変換素子 1130 によって、偏光方向がほぼ揃った種類の偏光光束（s 偏光光束）に変換されて、偏光照明装置 1110 から出射されることとなる。

【0099】さて、偏光照明装置 1110 から出射された s 偏光光束は、偏光ビームスプリッタ 1140 の s 偏光光束反射面 1141 によって反射される。この反射光束のうち、青色光（B）の光束がダイクロイックミラー 1151 の青色光反射層にて反射され、反射型の電気光学装置 100B によって変調される。また、ダイクロイックミラー 1151 の青色光反射層を透過した光束のうち、赤色光（R）の光束は、ダイクロイックミラー 1152 の赤色光反射層にて反射され、反射型の液電気光学装置 100R によって変調される。一方、ダイクロイックミラー 1151 の青色光反射層を透過した光束のうち、緑色光（G）の光束は、ダイクロイックミラー 1152 の赤色光反射層を透過して、反射型の電気光学装置 100G によって変調される。

【0100】このようにして、電気光学装置 100R、100G、100B によってそれぞれ色光変調された赤色、緑色、青色の光は、ダイクロイックミラー 1152、1151、偏光ビームスプリッタ 1140 によって順次合成された後、投写光学系 1160 によって、スクリーン 1170 に投写されることとなる。なお、電気光学装置 100R、100B および 100G には、ダイクロイックミラー 1151、1152 によって、R、G、B の各原色に対応する光束が入射するので、カラーフィルタは必要ない。 30

【0101】＜その 2：モバイル型コンピュータ＞次に、上記電気光学装置を、モバイル型のパーソナルコンピュータに適用した例について説明する。図 16 は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ 1200 は、キーボード 1202 を備えた本体部 1204 と、表示ユニット 1206 とから構成されている。この表示ユニット 1206 は、先に述べた電気光学装置 100 の前面にフロントライトを付加することにより構成されている。

【0102】なお、この構成では、電気光学装置 100 を反射直視型として用いることになるので、画素電極 118 において、反射光が様々な方向に散乱するように、凹凸が形成される構成が望ましい。

【0103】＜その 3：携帯電話機＞さらに、上記電気光学装置を、携帯電話機に適用した例について説明する。図 17 は、この携帯電話機の構成を示す斜視図である。図において、携帯電話機 1300 は、複数の操作ボタン 1302 のほか、受話口 1304、送話口 1306 とともに、電気光学装置 100 を備えるものである。この電気光学装置 100 にも、必要に応じてその前面にフ

ロントライトが設けられる。また、この構成でも、電気光学装置100が反射直視型として用いられることになるので、画素電極118に凹凸が形成される構成が望ましい。

【0104】なお、電子機器としては、図13～図17を参照して説明した他にも、液晶テレビや、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器に対して、実施形態や応用形態に係る電気光学装置が適用可能なのは言うまでもない。

【図面の簡単な説明】

【図1】 本発明の第1、第2及び第3の実施形態に係る電気光学装置の構成を示すブロック図である。

【図2】 本発明の第1の実施形態における図1の画素110の構成を示すブロック図である。

【図3】 図1における走査線駆動回路130の構成を示すブロック図である。

【図4】 図1におけるデコード回路210のデコード機能を示す真理値表である。

【図5】 図1におけるデコード回路210のデコード機能を示す真理値表である。

【図6】 図1におけるデータ線駆動回路170の構成を示すブロック図である。

【図7】 図1における極性反転データ回路240の構成を示すブロック図である。

【図8】 本発明の第1、第2及び第3の実施形態に係る電気光学装置の動作を示すタイミングチャートである。

【図9】 同電気光学装置における画素に印加される電圧を例示するタイミングチャートである。

【図10】 同電気光学装置における画素に印加される電圧を例示するタイミングチャートである。

【図11】 本発明の第2の実施形態における図1の画素110の構成を示すブロック図である。

【図12】 本発明の第3の実施形態における図1の画素110の構成を示すブロック図である。

【図13】 本発明の第1、第2及び第3の実施形態に係る電気光学装置の構造を示す平面図である。

【図14】 同電気光学装置の構造を示す断面図である。

【図15】 同電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す断面図である。

【図16】 同電気光学装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図であ

る。

【図17】 同電気光学装置を適用した電子機器の一例たる携帯電話機の構成を示す斜視図である。

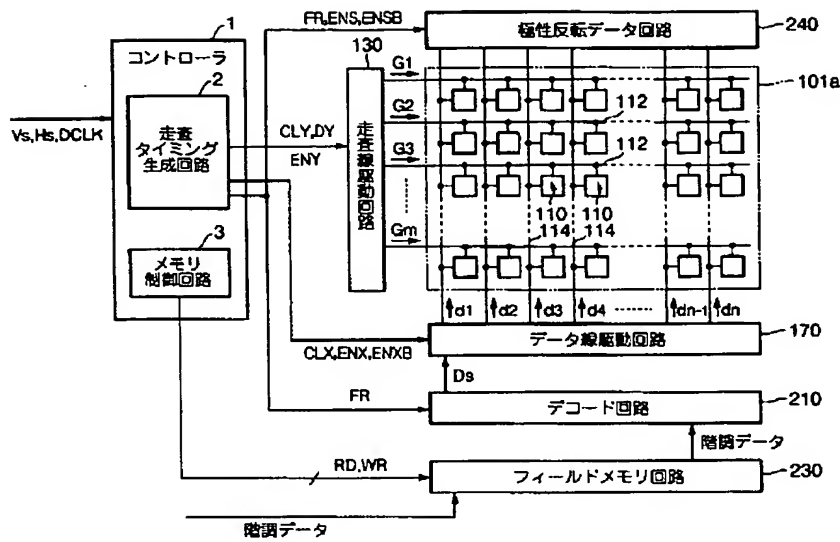
【図18】 対向電極108に印加される対向電極電圧 V_{com} を電源電圧及び接地電圧の中央値とした場合の画素電極に印加される電圧の関係を示す図である。

【図19】 (a) および (b) は、交流駆動の場合の画素電極に印加される電圧の関係を示す図である。

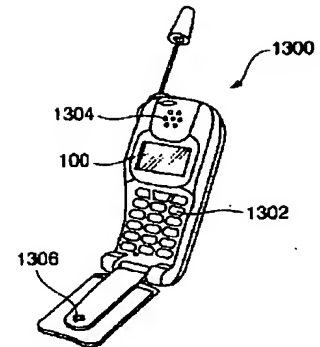
【符号の説明】

- 10 1……コントローラ
- 2……走査タイミング生成回路
- 3……メモリ制御回路
- 100……電気光学装置
- 101……素子基板
- 101a……表示領域
- 102……対向基板
- 105……液晶(電気光学材料)
- 108……対向電極
- 160, 132₁, 132₂, 132₃……ラッチ
- 20 110……画素
- 112, 120……走査線
- 114, 115……データ線
- 116, 117, 121, 122, 123, 124……トランジスタ
- 118……画素電極
- 130……走査線駆動回路
- 131₁, 131₂, 131₃, 131₄……クロックドインバータ
- 133₁, 133₂, 133₃……アンド回路
- 30 134₁, 134₂, 134₃……オア回路
- 170……データ線駆動回路
- 181₁, 181₂, 181₃, 181₄……クロックドインバータ
- 182₁, 182₂, 182₃……ラッチ
- 191₁, 191₂, 191₃, 191₄……トランスファゲート
- 192₁, 192₂, 192₃, 192₄……トランスファゲート
- 201, 202, 241, 242……インバータ
- 40 210……デコード回路
- 230……フィールドメモリ回路
- 240……極性反転データ回路
- 243₁, 243₂, 243₃, 243₄……トランスファゲート
- 244₁, 244₂, 244₃, 244₄……トランスファゲート

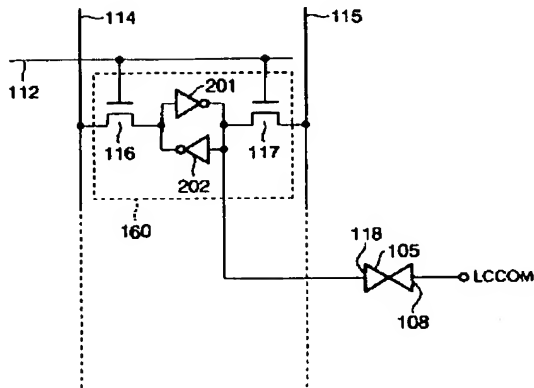
【図1】



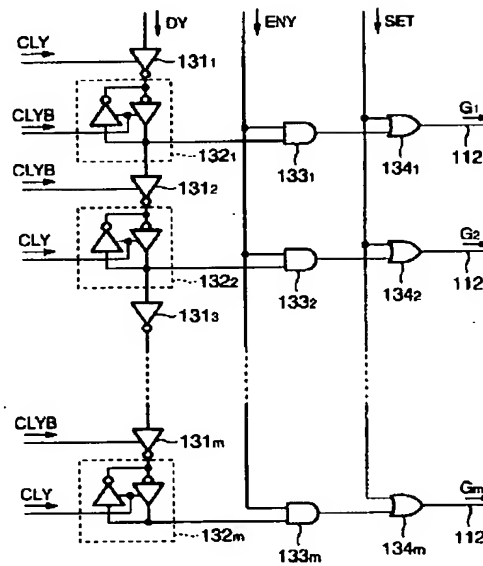
【図17】



【図2】



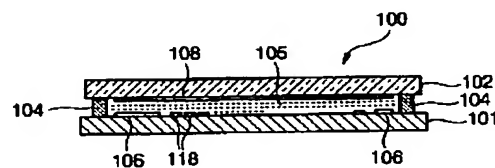
【図3】



【図4】

階調データ	Ds						
	Sf1	Sf2	Sf3	Sf4	Sf5	Sf6	Sf7
(000)	L	L	L	L	L	L	L
(001)	H	L	L	L	L	L	L
(010)	H	H	L	L	L	L	L
(011)	H	H	H	L	L	L	L
(100)	H	H	H	H	L	L	L
(101)	H	H	H	H	H	L	L
(110)	H	H	H	H	H	H	L
(111)	H	H	H	H	H	H	H

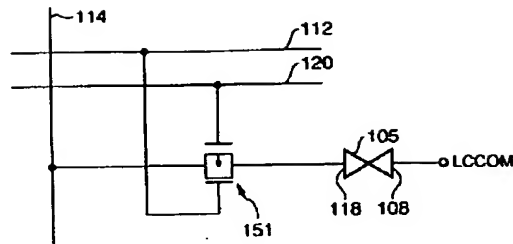
【図14】



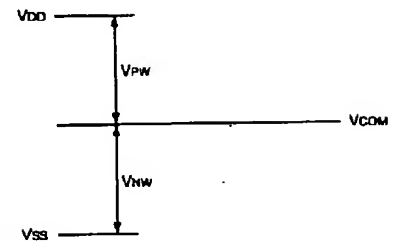
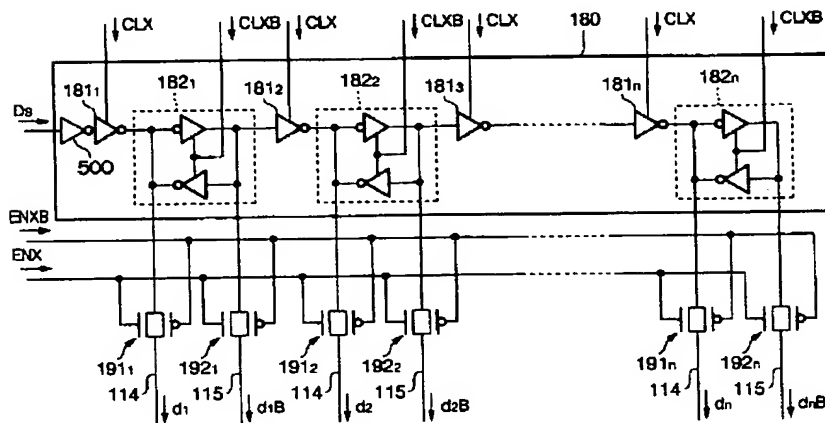
【図5】

階調データ	Ds						
	Sf1	Sf2	Sf3	Sf4	Sf5	Sf6	Sf7
(000)	H	H	H	H	H	H	H
(001)	L	H	H	H	H	H	H
(010)	L	L	H	H	H	H	H
(011)	L	L	L	H	H	H	H
(100)	L	L	L	L	H	H	H
(101)	L	L	L	L	L	H	H
(110)	L	L	L	L	L	L	H
(111)	L	L	L	L	L	L	L

【図12】

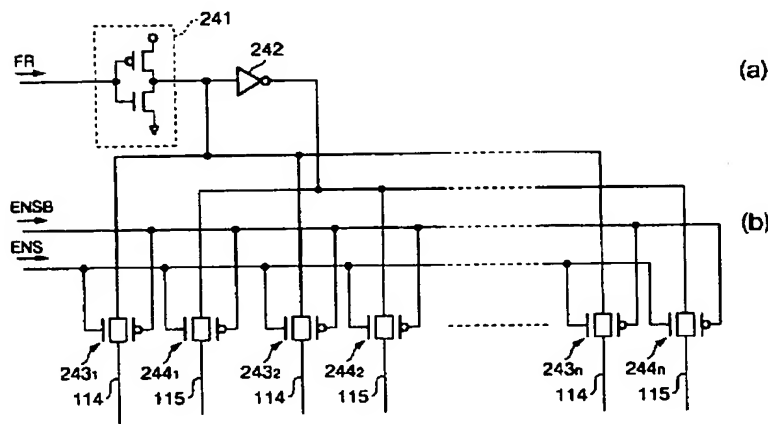


【図6】

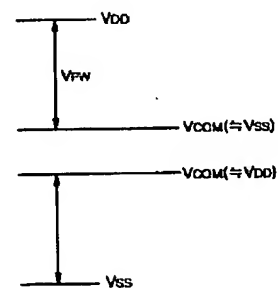


【図18】

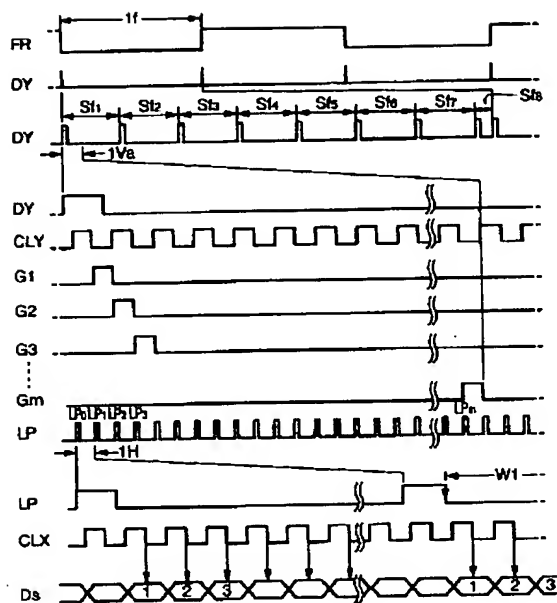
【図7】



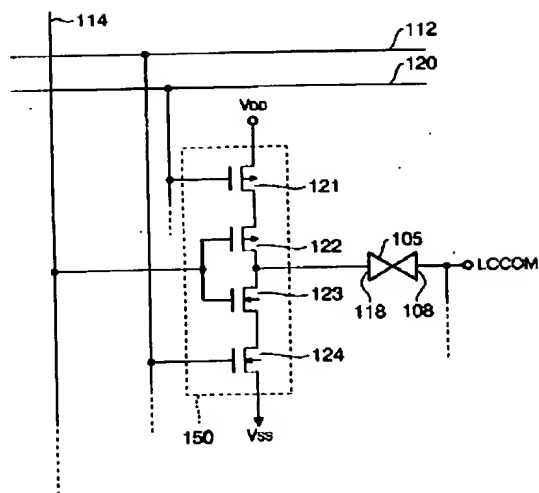
【図19】



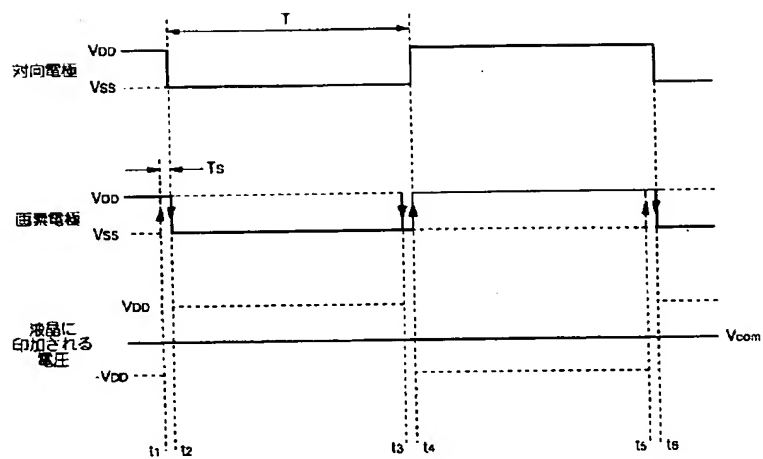
【図8】



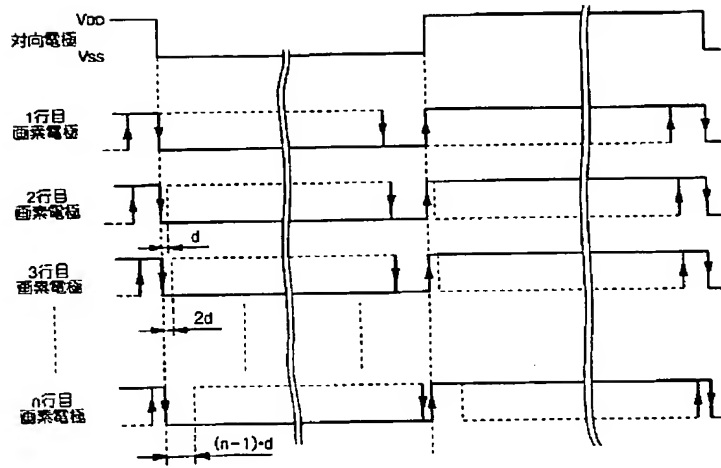
【図11】



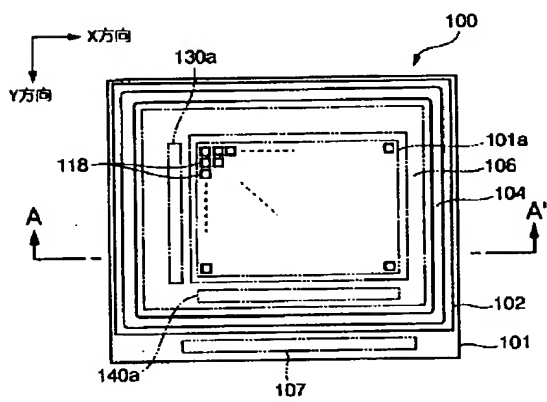
【図9】



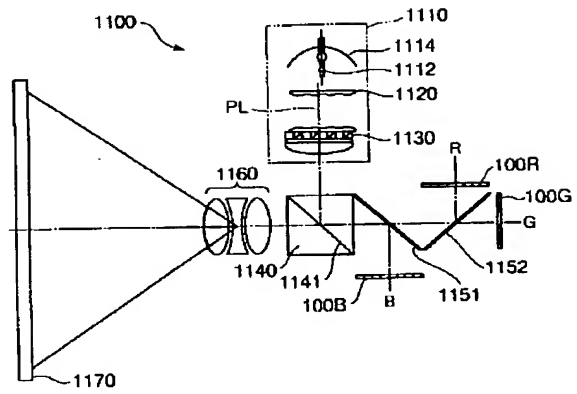
【図10】



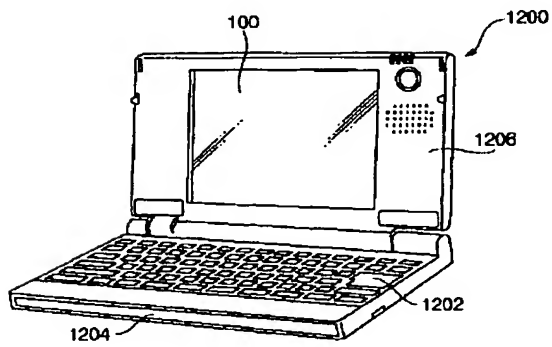
【図13】



【図15】



【図16】



フロントページの続き

Fターム(参考) 2H093 NA16 NA32 NA33 NA34 NA43
NA53 NC13 NC18 NC34 NC67
ND12 ND58
5C006 AA14 AA16 AC28 AF44 AF73
BB16 BC12 BF26 BF27 EC11
FA46 FA56
5C080 AA10 BB05 DD03 DD30 EE29
FF11 JJ02 JJ03 JJ04 KK02
KK43 KK47